

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-061370

(43)Date of publication of application : 04.03.1994

(51)Int.Cl.

H01L 23/13
H01L 23/12

BEST AVAILABLE COPY

(21)Application number : 04-212581

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.08.1992

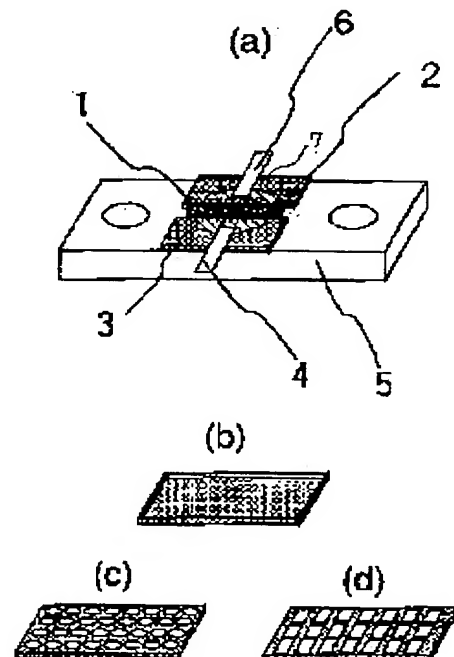
(72)Inventor : ONISHI MASAMI
HASE HIDEKAZU
SEKINE KENJI

(54) HIGH FREQUENCY SEMICONDUCTOR CHIP CARRIER

(57)Abstract:

PURPOSE: To lessen a high frequency semiconductor chip carrier in capacitance by a method wherein cavities are provided to the underside of a signal lead-out ceramic plate.

CONSTITUTION: High frequency signals are inputted through an input lead wire 6 and reach to a metal pattern 3 formed on a ceramic plate 2 where a large number of circular or polygonal holes are provided. Thereafter, the signals concerned reach a semiconductor chip 1 passing through a bonding with 7 connected between a semiconductor chip 1 and the metal pattern 3. The signals amplified by the semiconductor chip 1 are outputted from an output lead wire 4 passing through the bonding wire 7 and the metal pattern 3. Capacitance between the metal pattern 3 formed on the ceramic plate 2 and a chip carrier main body 5 can be easily lessened, so that a semiconductor chip is able to display its own performance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-61370

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/13				
23/12	3 0 1 C	9355-4M		
	L	9355-4M		
		9355-4M	H 0 1 L 23/ 12	C

審査請求 未請求 請求項の数 4 (全 3 頁)

(21)出願番号 特願平4-212581

(22)出願日 平成4年(1992)8月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 大西 正巳

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 長谷 英一

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 関根 健治

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

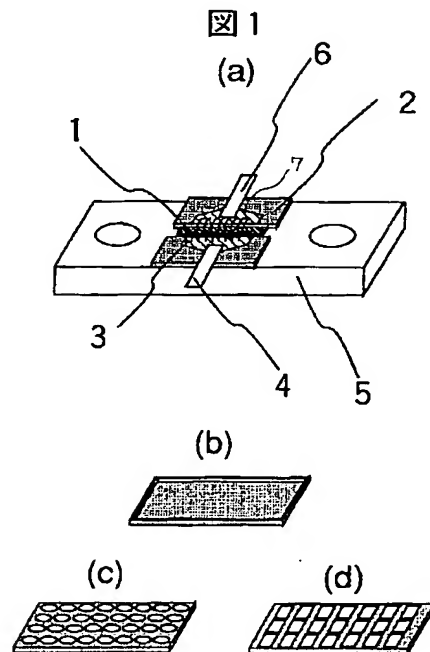
(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 高周波半導体用チップキャリア

(57)【要約】

【構成】高周波半導体用チップキャリアの信号取り出し用セラミック板2の裏面に空洞または、多数の円柱、多数の多角柱で穴を開け空洞部を設けた。

【効果】高周波半導体用チップキャリアの信号取り出し用セラミック板の容量成分の低減に効果がある。



【特許請求の範囲】

【請求項1】トランジスタ等の半導体チップを乗せるチップキャリアにおいてチップから電気的信号を取り出すために接続されたボンディングワイアを固定するために設けられ、上面に金属を蒸着して形成した金属ボタンをもつセラミック基板の裏面に空間を持たせたことを特徴とする高周波半導体用チップキャリア。

【請求項2】請求項1もしくは2において、前記チップキャリアに使用されている前記セラミック基板の信号取り出しの前記金属ボタンの下部のみを空間とした高周波半導体用チップキャリア。

【請求項3】請求項1もしくは2において、前記チップキャリアに使用されている前記セラミック基板に小さな面積の円形の繰返しくり抜き穴を形成した構造とした高周波半導体用チップキャリア。

【請求項4】請求項1もしくは2において、前記チップキャリアに使用されている前記セラミック基板をある面積の多角形状の繰返しくり抜き穴を形成した構造とした高周波半導体用チップキャリア。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高周波半導体チップキャリア、特に、高周波領域で動作するチップ状半導体素子をマウントするチップキャリアの構造に関する。

【0002】

【従来の技術】従来、半導体素子をマウントし電気的に接続を行い信号を取り出すため図2(a)に示すように、チップキャリア上に設けられた板状のセラミック板を用いて取り出す方法が良く知られている。図2(b)に従来のセラミック板の表面構造、(c)に従来のセラミック板の裏面構造を示す。この方法では、例えば素子がFETの場合、チップキャリア1個での出力を増加させようとすればチップキャリアに使用されているセラミックの板に描かれたボンディングボタン面積が広くなりボタン電極とアースとの間に大きな容量成分を持つことにより素子性能を低下させるばかりか、この素子を用いて回路を設計する場合、非常に低インピーダンスとなり扱いにくいものとなる。

【0003】

【発明が解決しようとする課題】本発明の目的は、従来のチップキャリアで半導体チップから信号を取り出す場合、ボンディングを行うセラミック板に設けられた金属ボタンの影響（主に金属ボタンと接地面とが持つ容量成分）を最小限度に抑え半導体を持つ本来の性能を引き出す高周波半導体素子チップキャリアを実現することにある。

【0004】

【課題を解決するための手段】本発明は、上記課題を実現するため、チップキャリアに用いられているセラミック板の形状を従来の板状から、板の中の部分を空洞とし

た構造、あるいはセラミック板に円筒状の穴、多角形の穴を多数設けた構造とする。

【0005】

【作用】セラミック板の下部に空洞を設けることによりセラミック板と接地面が持つ実効誘電率の低下を図ることができる。これにより、容量を求める式 $C = \epsilon A / L$ （ C ：容量、 ϵ ：誘電率、 A ：ボタン面積、 L ：ボタンから接地面までの距離）からセラミック板上に描かれたボタンが持つ容量成分は減少する。

【0006】

【実施例】以下、本発明の実施例について詳細に説明する。図1は本発明を使用したチップキャリア(a)およびそれに用いているセラミック板2の実施例(b~d)を表したものである。

【0007】高周波信号は入力用リード線6から入力される。その後、セラミック板2上に形成された金属ボタン3に到達する。そして半導体チップ1と金属ボタン3を接続するためのボンディングワイア7を通過し半導体チップ1に到る。この半導体チップにより信号は増幅された後、再び、ボンディングワイア7、金属ボタン3を通過し出力用リード線4により出力される。この時、高周波時に大きな問題となる容量成分がセラミック板2上に形成された金属ボタン3とチップキャリア本体5との間で生じる。

【0008】図3に従来の信号取り出し用セラミック板の断面図(a)及び等価回路(b)を、図4に本発明によるセラミック板の断面図(a)及び等価回路(b)を示す。効果の確認のため、例としてセラミック基板にアルミナ板（誘電率 $\epsilon = 10$ ）を使用しセラミック板上に描かれたボタン面積を $A(m^2)$ 、ボタン面からチップキャリア本体までの距離を $L(m)$ と仮定した場合、従来構造におけるボタン容量と本発明におけるボタン容量の比 C_t/C は、 $C_t/C = 1/(10 - 9 \times L)$ で表される。

【0009】図5に計算結果を示す。これによれば誘電体の厚さ L を半分にした場合、容量は81%の低減効果がある。

【0010】

【発明の効果】本発明によれば高周波半導体用チップキャリアにおいて半導体チップから信号を取り出すためのセラミック板が持つ容量成分低減を容易に実現でき、半導体チップの本来持つ性能を引き出すことができる。

【図面の簡単な説明】

【図1】高周波半導体チップキャリアの斜視図。

【図2】従来の高周波半導体チップキャリアの斜視図。

【図3】本発明による信号取り出し用セラミック板構造の断面図(a)及び等価回路図(b)。

【図4】従来構造による信号取り出し用セラミック板構造の断面図(a)及び等価回路図(b)。

【図5】本発明構造と従来構造における容量比の計算結

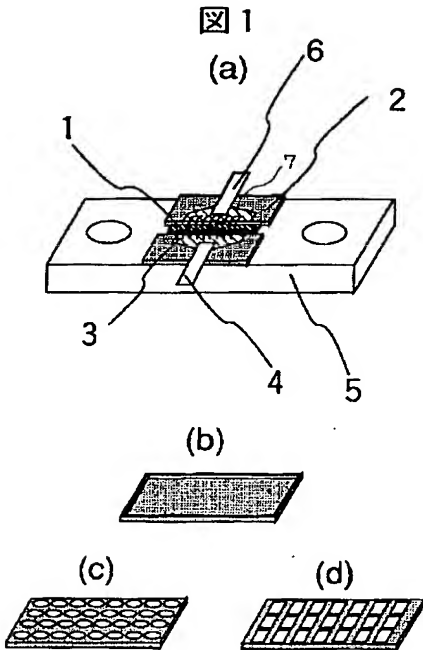
果の説明図。

【符号の説明】

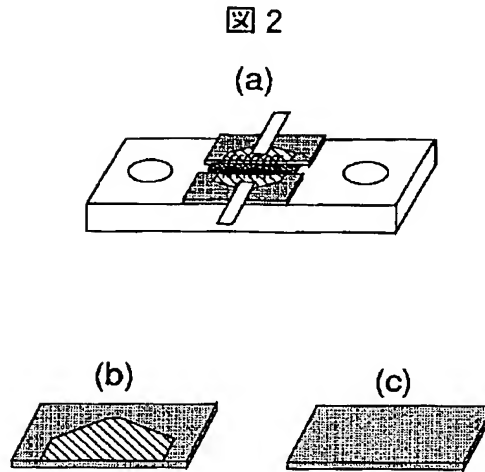
1…高周波半導体チップ、2…信号取り出し用セラミック

* ク板、3…金属ボタン、4…出力信号取り出し用リード線、5…チップキャリア本体、6…入力信号取り出し用リード線。

【図1】

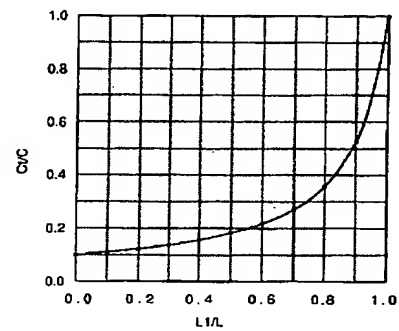


【図2】

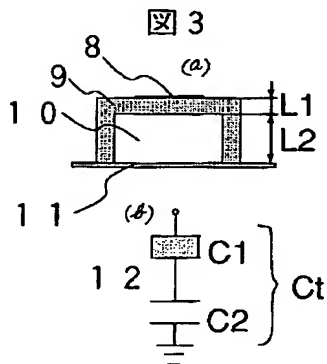


【図5】

図5



【図3】



【図4】

